

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 8 月 12 日 (12.08.2004)

PCT

(10) 国際公開番号
WO 2004/068709 A1

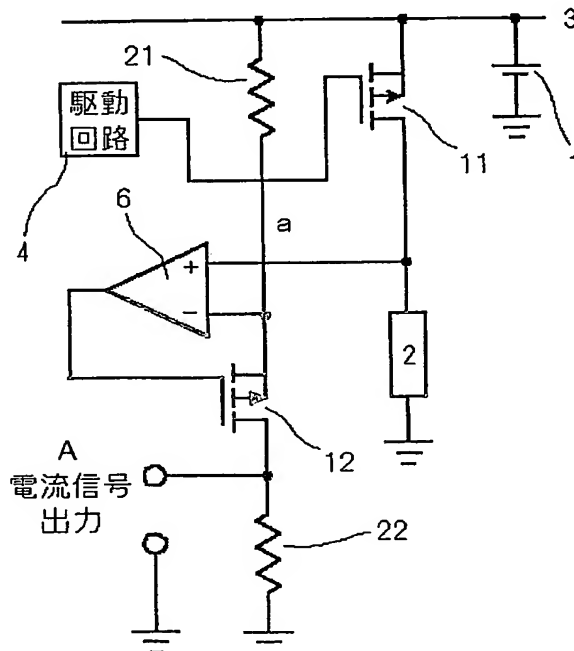
- (51) 国際特許分類: H03K 17/08, 17/687
(21) 国際出願番号: PCT/JP2004/000029
(22) 国際出願日: 2004 年 1 月 7 日 (07.01.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2003-007728 2003 年 1 月 16 日 (16.01.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目 2 番 1 号 Tokyo (JP).

- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 久保田 健一 (KUBOTA, Kenichi) [JP/JP]; 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号新電元工業株式会社工場内 Saitama (JP). 大島 正樹 (OHSHIMA, Masaki) [JP/JP]; 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号新電元工業株式会社工場内 Saitama (JP). 野崎 幸弘 (NOZAKI, Yukihiko) [JP/JP]; 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号新電元工業株式会社工場内 Saitama (JP). 芳賀 浩之 (HAGA, Hiroyuki) [JP/JP]; 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号新電元工業株式会社工場内 Saitama (JP). 林 賢知 (HAYASHI, Masanori) [JP/JP]; 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号新電元工業株式会社工場内 Saitama (JP).

[続葉有]

(54) Title: SWITCHING CIRCUIT

(54) 発明の名称: スイッチング回路



4...DRIVER CIRCUIT

A...CURRENT SIGNAL OUTPUT

(57) Abstract: A switching circuit having a current detecting circuit for detecting a main switch current waveform in a form of a high-speed real time waveform and outputting it with a low impedance. The current detecting circuit of the switching circuit includes a main switch (11) the ON voltage of which exhibits a resistive characteristic. The gate of the main switch (11) is connected to a driver circuit (4). One of the drain and source of the main switch (11) is connected to a fixed potential (3), while the other is connected to a load circuit (2). The current detecting circuit of the switching circuit further includes a first resistor element (21) having a resistance value that is higher than the ON resistance of the main switch connected to the fixed potential; an auxiliary switch (12) having its source connected to the first resistor element; an amplifier (6) that compares and amplifies a voltage occurring at the first resistor element and the ON voltage of the main switch and outputs them to the gate of the auxiliary switch; and a second resistor element (22) connected to the drain of the auxiliary switch for causing the ON current of the main switch to be amplified, thereby causing a voltage to occur.

[続葉有]



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

高速な実時間波形の形で主スイッチ電流波形を検出し、低インピーダンスで出力する電流検出回路を備えたスイッチング回路を提供する。オン電圧が抵抗特性を示すメインスイッチ（１１）を備え、このメインスイッチのゲートに駆動回路（４）を、ドレイン又はソースの一方に固定電位（３）を、この他方に負荷回路（２）を夫々接続してあり、固定電位に接続したメインスイッチのオン抵抗より高い抵抗値を有する第一の抵抗素子（２１）と、この抵抗素子をソースに接続した補助スイッチ（１２）と、第一の抵抗素子に発生する電圧とメインスイッチのオン電圧とを比較増幅して、補助スイッチのゲートに出力する増幅器（６）と、補助スイッチのドレインに接続してメインスイッチのオン電流を増幅させて電圧を発生させる第二の抵抗素子（２２）とを備えた電流検出回路を設けたことを特徴とするスイッチング回路。

明 細 書

スイッチング回路

5 技術分野

本発明は、電力用スイッチのオン電圧を検出して、スイッチの電流を検出する回路に関するものである。

背景技術

- 10 電流検出回路を備えたスイッチング回路の第一の従来例を図10に示す。この従来例はオン電圧が抵抗特性を示すMOSFETからなるメインスイッチ111を備え、このメインスイッチ111のゲート電極に駆動回路104を接続してある。また、メインスイッチ111のドレイン電極に固定電位103を接続し、ソース電極に負荷回路102を接続し
- 15 てある。このスイッチング回路に備えた電流検出回路は、電流検出用スイッチ114を備え、この電流検出用スイッチ114のドレイン電極を固定電位に接続し、ゲート電極に駆動回路104を接続してある。さらに、電流検出用スイッチ114のソース電極に抵抗素子121と増幅器106の正極とを接続し、メインスイッチ111のソース電極に増幅器
- 20 106の負極を接続し、抵抗素子121の電圧を増幅する形で電流検出するように構成してある。

- また、第二の従来例を図11に示す。この従来例は日本特許公告平成1年第26250号公報を参照したものである。この従来例はオン電圧が抵抗特性を示すMOSFETからなるメインスイッチ111を備え、
- 25 このメインスイッチ111のゲート電極に駆動回路104を接続してある。また、メインスイッチ111のドレイン電極に固定電位103を接

5 続し、ソース電極に負荷回路 102 を接続してある。このスイッチング回路に備えた電流検出回路は、電流検出用スイッチ 114 を備え、この電流検出用スイッチ 114 のドレイン電極を固定電位に接続し、ゲート電極に駆動回路 104 を接続してある。さらに、電流検出用スイッチ 114 へ基準電流を流して、電流検出用スイッチ 114 のオン電圧とメインスイッチ 111 のオン電圧とを増幅器 106 で比較増幅するようにしてある。

10 先ず、第一の従来例においては、抵抗素子 121 の電流がメインスイッチ 111 のオン電流に比例する為には、抵抗素子 121 の電圧が電流検出用スイッチ 114 のオン電圧の半分以下である必要がある。この為、制御回路に使用されるレベルまで波形を増幅するには、高利得の増幅器が必要となる。電流波形には高周波成分が含まれているので、高利得で高周波まで増幅する必要があり、実用上、困難な点となっていた。

15 また、第二の従来例においては、電流検出用スイッチ 114 へ基準電流を流して、電流検出用スイッチ 114 のオン電圧とメインスイッチ 111 のオン電圧とを比較増幅するようにしていた為、出力される信号は実時間電流波形ではなく、一点の電流値に対する上か下かの判定結果となるという問題があった。

20

発明の開示

本発明は、上記問題に鑑みてなされたものであり、高速な実時間波形の形で、主スイッチ電流波形を検出し、大きな信号の形で、低インピーダンス出力で出力する電流検出回路を備えたスイッチング回路を安価に提供する。

25

上記目的を達成するためになされた本発明は、増幅器の入力電圧差を略 0 V に保ちながら、大きな電流波形出力を得られる電流検出回路を得

る事ができる。また、第一の抵抗素子と補助スイッチとの間に、ゲート信号がメインスイッチのゲート信号と同期する第三のスイッチを接続したことにより、第二の抵抗素子の電圧波形とメインスイッチの電流波形とが相似になり、高速の電流波形を大きな電圧信号の形で取り扱うことができる。

第一の抵抗素子をポリシリコン抵抗とし絶縁膜上に形成すれば、メインスイッチとの絶縁も簡単になり、高集積化が可能で、寄生容量等が小さく、より高速動作可能となる。第一の抵抗素子の温度係数をメインスイッチより大きい正の値を持つ様に第一の抵抗素子を形成すれば、第一の抵抗素子を用いた電流検出回路は、より強い熱暴走防止機能を持ち、スイッチング回路を簡単に提供する事が出来る。従って、多くの特長を備えた電流検出回路を容易に形成する事ができる。

即ち、本発明は、上記課題を解決するため、以下の構成を有する。

本発明の第1の態様に係るスイッチング回路は、スイッチング素子を有するスイッチング回路において、オン電圧が抵抗特性を示すMOSFETからなるメインスイッチを有し、このメインスイッチのゲート電極に駆動回路を接続してあるとともに、同じくメインスイッチのドレイン又はソースの一方の電極を固定電位に接続し、他方に負荷回路を接続してあり、前記メインスイッチのオン抵抗より高い抵抗値を有する第一の抵抗素子と、この第一の抵抗素子をソース電極に接続したMOSFETからなる補助スイッチと、前記第一の抵抗素子に発生する電圧と前記メインスイッチのオン電圧とを比較増幅して、前記補助スイッチのゲート電極に出力する増幅器と、前記補助スイッチのドレイン電極に接続して、前記メインスイッチのオン電流を増幅させて電圧を発生させる第二の抵抗素子とを備えた電流検出回路を設けてある。

本発明の第2の態様に係るスイッチング回路は、本発明の第1の態様

に係るスイッチング回路において、前記第一の抵抗素子の一方の端子を前記メインスイッチと同様に固定電位に接続してある。

本発明の第3の態様に係るスイッチング回路は、本発明の第1の態様に係るスイッチング回路において、前記第一の抵抗素子と前記補助スイッチとの間に、ゲート信号が前記メインスイッチのゲート信号と同期する第三のスイッチを接続してある。

本発明の第4の態様に係るスイッチング回路は、本発明の第1の態様に係るスイッチング回路において、前記第一の抵抗素子の一方の端子を前記メインスイッチと同様に固定電位に接続してあり、前記第一の抵抗素子と前記補助スイッチとの間に、ゲート信号が前記メインスイッチのゲート信号と同期する第三のスイッチを接続してある。

本発明の第5の態様に係るスイッチング回路は、本発明の第1の態様に係るスイッチング回路において、前記第一の抵抗素子の一方の端子が前記メインスイッチの負荷回路と接続されている端子と接続され、第一の抵抗素子の他方の端子は前記補助スイッチのソース電極に接続されている。

本発明の第6の態様に係るスイッチング回路は、本発明の第1の態様に係るスイッチング回路において、前記第一の抵抗素子が前記メインスイッチと同じセル構造を持ち、固定ゲートバイアスされたMOSFETである、若しくはポリシリコン抵抗である。

本発明の第7の態様に係るスイッチング回路は、本発明の第1の態様に係るスイッチング回路において、前記第一の抵抗素子は前記メインスイッチと同じセル構造を持ち、固定ゲートバイアスされたMOSFETである、若しくはポリシリコン抵抗であり、この第一の抵抗素子の一方の端子を前記メインスイッチと同様に固定電位に接続してある。

本発明の第8の態様に係るスイッチング回路は、本発明の第1の態様に

に係るスイッチング回路において、前記第一の抵抗素子は前記メインスイッチと同じセル構造を持ち、固定ゲートバイアスされたMOSFETである、若しくはポリシリコン抵抗であり、この第一の抵抗素子と前記補助スイッチとの間に、ゲート信号が前記メインスイッチのゲート信号と同期する第三のスイッチを接続してある。

本発明の第9の態様に係るスイッチング回路は、本発明の第1の態様に係るスイッチング回路において、前記第一の抵抗素子は前記メインスイッチと同じセル構造を持ち、固定ゲートバイアスされたMOSFETである、若しくはポリシリコン抵抗であり、この第一の抵抗素子の一方の端子を前記メインスイッチと同様に固定電位に接続してあり、前記第一の抵抗素子と前記補助スイッチとの間に、ゲート信号が前記メインスイッチのゲート信号と同期する第三のスイッチを接続してある。

本発明の第10の態様に係るスイッチング回路は、本発明の第1の態様に係るスイッチング回路において、前記第一の抵抗素子は前記メインスイッチと同じセル構造を持ち、固定ゲートバイアスされたMOSFETである、若しくはポリシリコン抵抗であり、この第一の抵抗素子の一方の端子が前記メインスイッチの負荷回路と接続されている端子と接続され、第一の抵抗素子の他方の端子は前記補助スイッチのソース電極に接続されている。

20

図面の簡単な説明

第1図は、本発明に係るスイッチング回路の第一の実施形態の概要を示した回路図である。

第2図は、同じく第二の実施形態の概要を示した回路図である。

25 第3図は、同じく第三の実施形態の概要を示した回路図である。

第4図は、第3図図示第三の実施形態の動作波形図である。

第 5 図は、同じく第四の実施形態の概要を示した回路図である。

第 6 図は、同じく第五の実施形態の概要を示した回路図である。

第 7 図は、同じく第六の実施形態の概要を示した回路図である。

第 8 図は、同じく第七の実施形態の概要を示した回路図である。

5 第 9 図は、同じく第八の実施形態の概要を示した回路図である。

第 10 図は、スイッチング回路の第一の従来例の概要を示した回路図である。

第 11 図は、第二の従来例の概要を示した回路図である。

10 発明を実施するための最良の形態

以下、添付図面を用いて本発明に係るスイッチング回路の実施形態を説明する。

(実施形態 1)

15 図 1 は本発明に係るスイッチング回路の第一の実施形態を示す。1 は入力電源、2 は負荷、3 は固定電位、4 は駆動回路、6 は増幅器、11 はメインスイッチ、12 は補助スイッチ、13 は第三のスイッチ、14 は電流検出用スイッチ、15 はハイサイドスイッチ、21 は第一の抵抗素子、22 は第二の抵抗素子である。

20 本実施形態に係るスイッチング回路は、オン電圧が抵抗特性を示す p チャネル MOSFET からなるメインスイッチ 11 を備え、このメインスイッチ 11 のゲート電極に駆動回路 4 を接続してある。また、メインスイッチ 11 のソース電極に固定電位 3 を接続し、ドレイン電極に負荷回路 2 を接続してある。なお、固定電位 3 をメインスイッチ 11 のドレイン電極に接続し、負荷回路 2 をメインスイッチ 11 のソース電極に接続してあってもよい。このスイッチング回路は電流検出回路を備え、こ

25

の電流検出回路は、メインスイッチ 1 1 のオン抵抗より高い抵抗値（例えば 1 0 0 0 0 倍）を有する第一の抵抗素子 2 1 を備え、この第一の抵抗素子 2 1 は固定電位 3、または負荷回路 2 に接続してある。なお、第一の抵抗素子 2 1 は通常の拡散抵抗でもよいが、ポリシリコン抵抗であるとよい。また、第一の抵抗素子 2 1 の温度係数をメインスイッチ 1 1 のオン抵抗と同じにすれば正確な電流検出回路を構成する。またこの電流検出回路を用いたスイッチング回路は、温度上昇と共に過電流検出点がより低電流側にシフトする様にも設定できる。

電流検出回路は p チャネル MOS FET からなる補助スイッチ 1 2 を備え、この第一の抵抗素子 2 1 をソース電極に接続してある。また、電流検出回路は増幅器 6 を備えてある。この増幅器 6 は正極にメインスイッチ 1 1 のドレイン電極を接続し、負極に補助スイッチ 1 2 のソース電極並びに第一の抵抗素子 2 1 に接続し、出力を補助スイッチ 1 2 のゲート電極を接続してある。以上より、第一の抵抗素子 2 1 に発生する電圧とメインスイッチ 1 1 のオン電圧とを比較増幅して、補助スイッチ 1 2 のゲート電極に出力するようにしてある。さらに、電流検出回路は第二の抵抗素子 2 2 を備え、この第二の抵抗素子 2 2 は、補助スイッチ 1 2 のドレイン電極に接続して、メインスイッチ 1 1 のオン電流を増幅させて電圧を発生させるように構成してある。

電流検出回路を備えたスイッチング回路は以上のように構成し、以下のように作用する。メインスイッチ 1 1 がオンすると、メインスイッチ 1 1 はオン電圧を発生し、増幅器 6 でオン電圧を検出する。メインスイッチ 1 1 がオンすることにより、固定電位 3 に接続した第一の抵抗素子 2 1 に電圧が発生し、増幅器 6 でこの電圧を検出する。増幅器 6 で検出されたオン電圧と第一の抵抗素子 2 1 に発生した電圧とを比較増幅して電圧を発生させ、補助スイッチ 1 2 のゲート端子に出力する。即ちオン

電流検出時は増幅器 6 の入力端の電位差は略 0 V なので、2 つの抵抗素子 2 1, 2 2、補助スイッチ素子 1 2、並びに増幅器 6 からなる電流検出回路は高利得化し易く、高速な信号まで増幅でき、メインスイッチ 1 1 のオン電流の信号を低インピーダンス出力で供給できる。

5

(実施形態 2)

図 2 に第二の実施形態を示す。この実施形態は概ね第一の実施形態と同様であるが、この実施形態は、メインスイッチ 1 1 が n チャネル MOS FET から構成してあることを特徴とする。この場合の電流検出も、
10 第一の実施形態と同様に実行することができる。ただし、駆動回路 4 の出力電圧極性が第一の実施形態と異なり、第一の実施形態では、ソース電位に対し負のゲート電位でメインスイッチ 1 1 が導通するが、本実施形態ではソース電位に対し正のゲート電位でメインスイッチ 1 1 が導通する。

15

(実施形態 3)

図 3 に第三の実施形態を示す。この実施形態は、第一の抵抗素子 2 1 に第三のスイッチ 1 3 のソース端子を接続し、この第三のスイッチ 1 3 のドレイン端子を補助スイッチ 1 2 のソース端子に接続してある。また、
20 この第三のスイッチ 1 3 のゲート端子を駆動回路 4 に接続してあり、この第三のスイッチ 1 3 のゲート信号がメインスイッチ 1 1 のゲート信号と同期するように構成してある。即ち、本実施形態ではメインスイッチ 1 1 は p チャネル MOS FET であるので、第三のスイッチ 1 3 も p チャネル MOS FET である。

25 この第三の実施形態ではメインスイッチ 1 1 のゲート信号と第三のスイッチ 1 3 のゲート信号とが同期するように構成してあるため、メイン

スイッチ 11 がオフ状態にあると、第三のスイッチ 13 もオフし、メインスイッチ 11 のオフ状態に第一の抵抗素子 21 に大きな電流が流れる事を防止することができる。これにより、低消費電力な電流検出回路を実現している。なお、この第三の実施形態についての動作波形を次の図

5 4 に示す。

図 4 は上から、メインスイッチ 11 のゲートソース間電圧 V_{gs} 、メインスイッチ 11 のドレインソース間電圧 V_{ds} 、メインスイッチ 11 のドレインソース間電流 I_{ds} 、第二の抵抗素子 22 に発生する電流信号出力である。第三の実施形態の場合、メインスイッチ 11 は p チャネル MOS FET なので V_{gs} 、 V_{ds} 、並びに I_{ds} 波形は負電圧、負電流で動作している。メインスイッチ 11 のターンオン時にピーク電流 I_{dsp} が発生しているのは、負荷に寄生容量成分が含まれた場合を想定している。第二の抵抗素子 22 の電圧はメインスイッチ 11 の電流の極性を反転したものに相似となる。尚、図 3 において t_{on} 、 t_{off} はターンオン、ターン
10 オフ時の遅延時間であり、 t_1 、 t_2 は下降、立ち上がり時の時間である。

なお、この実施形態においても、メインスイッチ 11 が n チャネル MOS FET であってもよい。但し、第三のスイッチ 13 のゲート信号がメインスイッチ 11 のゲート信号と同期するように構成するため、第三のスイッチ 13 も n チャネル MOS FET にする場合が多い。この場合、
20 駆動回路 4 の出力電圧極性は、ソース電位に対し正のゲート電位でメインスイッチ 11 が導通する。

(実施形態 4)

図 5 に第四の実施形態を示す。この実施形態では、第三の実施形態の
25 構成に加え、第三のスイッチ 13 のゲート電極と駆動回路 4 との間に遅延回路 5 を接続してある。また、この実施形態では、第一の抵抗素子と

して、メインスイッチ 11 と同じセル構造を持ち、固定ゲートバイアスされた MOSFET で構成された電流検出用スイッチ 14 を用いている。なお、この電流検出用スイッチ 14 はメインスイッチ 11 のオン抵抗より高い抵抗値（例えば 10000 倍）を有する。この電流検出用スイッチ 14 のゲート電極にはロウレベルゲート電圧発生回路 7 を接続してある。

この実施形態では、この第三のスイッチのゲート電極と駆動回路 4 との間に遅延回路 5 を接続したことにより、ハイサイドのメインスイッチ 11 のターンオン時に、負荷回路 2 中の寄生容量充電電流 I_{dsp} の成分が検出信号の中に波形として出る事を防ぐことができ、過電流保護回路の誤動作を防止する事ができる。なお、この場合、遅延時間は $t1$ 程度の値を用いるのが普通である。よって、遅延回路 5 は、第三のスイッチ 13 のターンオン時のみ $t1$ 程度遅れ、第三のスイッチ 13 のターンオフ時の遅れ時間は 0 となる様な特性である。

また、第一の抵抗素子として、メインスイッチ 11 と同じセル構造を持ち、メインスイッチ 11 のオン抵抗より高い抵抗値を有し、固定ゲートバイアスされた電流検出用スイッチ 14 を用いたことにより、この電流検出用スイッチ 14 のオン抵抗はメインスイッチ 11 と同一の温度特性、バラツキとなり、電流検出精度を向上させることが容易となる。その為、確度の高い電流検出回路を容易に実現できる。

（実施形態 5）

図 6 に第五の実施形態を示す。この実施形態は逆向きの電流検出回路である。第一の実施形態から第四の実施形態までの電流検出回路は、電源 3 からメインスイッチ 11 を通って負荷回路 2 へ流れる方向の電流が正の値の時を前提にしていた。この第五の実施形態は負荷回路 2 からメ

インスイッチ 11 を通って入力電源 1 へ流れる方向の電流が正の値の時の電流検出回路である。増幅器 6 はメインスイッチ 11 のソース・ドレイン間に正電圧が印加された時だけ補助スイッチ 12 を導通させる様に動作する。その時メインスイッチ 11 の逆電流波形が第二の抵抗素子 22 に発生し、第二の抵抗素子 22 の電圧波形を用いて逆電流検出が実行される。

(実施形態 6)

図 7 に第六の実施形態を示す。この実施形態は、固定電位 3 が入力電圧の負極である場合の実施形態である。このスイッチング回路は、オン電圧が抵抗特性を示す n チャネル MOSFET からなるメインスイッチ 11 を備え、このメインスイッチ 11 のゲート電極に駆動回路 4 を接続してある。また、メインスイッチ 11 のソース電極を接地し、ドレイン電極に負荷回路 2 を接続してある。なお、メインスイッチ 11 が p チャネル MOS の場合、メインスイッチ 11 のドレイン電極を接地し、負荷回路 2 をメインスイッチ 11 のソース電極に接続してあってもよい。このスイッチング回路は電流検出回路を備え、この電流検出回路は、メインスイッチ 11 のオン抵抗より高い抵抗値（例えば 10000 倍）を有する第一の抵抗素子 21 を備え、この第一の抵抗素子 21 は接地してある。なお、第一の抵抗素子 21 は通常の拡散抵抗でもよいが、ポリシリコン抵抗であるとよい。また、第一の抵抗素子 21 の温度係数をメインスイッチ 11 のオン抵抗と同じにすれば正確な電流検出回路を構成する。またこの電流検出回路を用いたスイッチング回路は、温度上昇と共に過電流検出点がより低電流側にシフトする様にも設定できる。

電流検出回路は n チャネル MOSFET からなる補助スイッチ 12 を備え、この第一の抵抗素子 21 をソース電極に接続してある。また、電

流検出回路は増幅器 6 を備えてある。この増幅器 6 は正極にメインスイッチ 1 1 のドレイン電極を接続し、負極に補助スイッチ 1 2 のソース電極並びに第一の抵抗素子 2 1 に接続し、出力を補助スイッチ 1 2 のゲート電極を接続してある。以上より、第一の抵抗素子 2 1 に発生する電圧とメインスイッチ 1 1 のオン電圧とを比較増幅して、補助スイッチ 1 2 のゲート電極に出力するようにしてある。さらに、電流検出回路は第二の抵抗素子 2 2 を備え、この第二の抵抗素子 2 2 は、補助スイッチ 1 2 のドレイン電極に接続して、メインスイッチ 1 1 のオン電流を増幅させて電圧を発生させるように構成してある。

10 また、本実施形態の負荷回路は、pチャネルMOSFETからなるハイサイドスイッチ 1 5 を備えてある。このハイサイドスイッチ 1 5 のドレイン電極はメインスイッチ 1 1 のドレイン電極、増幅器 6 の正極及び負荷に接続し、ソース電極は固定電位 3 に接続してある。また、ゲート電極は駆動回路 4 に接続してあり、メインスイッチ 1 1 とハイサイドスイッチ 1 5 でCMOSインバータに構成してある。電流検出回路を備えたスイッチング回路は以上のように構成してあるが、基本動作原理は第一の実施形態と略同様であり、極性のみが反転した動作となる。

(実施形態 7)

20 図 8 に第七の実施形態を示す。この実施形態は、第四の実施形態において固定電位 3 が入力電圧の負極である場合に応用した実施形態である。この実施形態は、第一の抵抗素子に第三のスイッチ 1 3 のソース端子を接続し、この第三のスイッチ 1 3 のドレイン端子を補助スイッチ 1 2 のソース端子に接続してある。なお、この実施形態では、第一の抵抗素子
25 として、メインスイッチ 1 1 と同じセル構造を持ち、固定ゲートバイアスされたMOSFETで構成された電流検出用スイッチ 1 4 を用いてい

る。また、このMOSFETはメインスイッチ11のオン抵抗より高い抵抗値（例えば10000倍）を有する。

この第三のスイッチ13のゲート端子は駆動回路4に接続しており、この第三のスイッチ13のゲート信号がメインスイッチ11のゲート信号と同期するように構成してある。即ち、本実施形態ではメインスイッチ11はnチャネルMOSFETであるので、第三のスイッチ13もnチャネルMOSFETである。この実施形態では、第三のスイッチ13のゲート電極と駆動回路4との間に遅延回路5を接続してある。この電流検出用スイッチ14のゲート電極にはハイレベルゲート電圧発生回路8を接続してある。

この第七の実施形態ではメインスイッチ11のゲート信号と第三のスイッチ13のゲート信号とが同期するように構成してあるため、メインスイッチ11がオフ状態にあると、第三のスイッチ13もオフし、メインスイッチ11のオフ状態に電流検出用スイッチ14に大きな電流が流れる事を防止することができる。これにより、低消費電力な電流検出回路を実現している。また、この第三のスイッチ13のゲート電極と駆動回路4との間に遅延回路5を接続したことにより、ターンオン時のみ遅らせる様にできれば、ロウサイドのメインスイッチ11のターンオン時に、負荷回路2の中の寄生容量充電電流 I_{dsp} の成分が検出信号の中に波形として出る事を防ぐことができ、過電流保護回路の誤動作を防止する事ができる。

さらに、第一の抵抗素子として、メインスイッチ11と同じセル構造を持ち、メインスイッチ11のオン抵抗より高い抵抗値を有し、固定ゲートバイアスされた電流検出用スイッチ14を用いたことにより、この電流検出用スイッチ14のオン抵抗はメインスイッチ13と同一の温度特性、バラツキとなり、電流検出精度を向上させることが容易となる。

その為、第四の実施形態と同様に確度の高い電流検出回路を容易に実現できる。

(実施形態 8)

- 5 図 9 に第八の実施形態を示す。この実施形態は逆向きの電流検出回路で、第五の実施形態において固定電位 3 が入力電圧の負極である場合に
10 応用した実施形態である。第六の実施形態、第七の実施形態の電流検出回路は、負荷回路 2 からメインスイッチ 1 1 を通って入力電圧の負極へ
流れる方向の電流が正の値の時を前提にしていた。図 9 は入力電圧の負
15 極からメインスイッチ 1 1 を通って負荷回路 2 へ流れる方向の電流が正
の値の時の電流検出回路である。増幅器 6 はメインスイッチ 1 1 のソー
ス・ドレイン間に負電圧が印加された時だけ補助スイッチ 1 2 を導通さ
せる様に動作する。その時メインスイッチ 1 1 の逆電流波形が第二の抵
抗素子 2 2 に発生し、第二の抵抗素子 2 2 の電圧波形を用いて逆電流検
15 出が実行される。

産業上の利用可能性

- 本発明によれば、増幅器の入力電圧差を略 0 V に保ちながら、大きな
電流波形出力を得られる電流検出回路を得られる効果がある。また、第
20 一の抵抗素子と補助スイッチとの間に、ゲート信号がメインスイッチの
ゲート信号と同期する第三のスイッチを接続したことにより、第二の抵
抗素子の電圧波形とメインスイッチの電流波形とが相似になり、高速の
電流波形を大きな電圧信号の形で取り扱うことができる効果がある。

- 第一の抵抗素子をポリシリコン抵抗とし絶縁膜上に形成すれば、メイ
25 ンスイッチとの絶縁も簡単になり、高集積化が可能で、寄生容量等が小
さく、より高速動作可能となる。第一の抵抗素子の温度係数をメインス

イッチより大きい正の値を持つ様に第一の抵抗素子を形成すれば、第一の抵抗素子を用いた電流検出回路は、より強い熱暴走防止機能を持ち、スイッチング回路を簡単に提供する事が出来る。従って、多くの特長を備えた電流検出回路を容易に形成できる効果がある。

請求の範囲

1. スイッチング素子を有するスイッチング回路において、オン電圧が抵抗特性を示すM O S F E Tからなるメインスイッチを有し、このメイン
5 スイッチのゲート電極に駆動回路を接続してあるとともに、同じくメインスイッチのドレイン又はソースの一方の電極を固定電位に接続し、他方に負荷回路を接続してあり、前記メインスイッチのオン抵抗より高い抵抗値を有する第一の抵抗素子と、この第一の抵抗素子をソース電極
10 に接続したM O S F E Tからなる補助スイッチと、前記第一の抵抗素子に発生する電圧と前記メインスイッチのオン電圧とを比較増幅して、前記補助スイッチのゲート電極に出力する増幅器と、前記補助スイッチのドレイン電極に接続して、前記メインスイッチのオン電流を増幅させて電圧を発生させる第二の抵抗素子とを備えた電流検出回路を設けてあることを特徴とするスイッチング回路。
- 15
2. 前記第一の抵抗素子の一方の端子を前記メインスイッチと同様に固定電位に接続してあることを特徴とする請求の範囲第1項記載のスイッチング回路。
- 20
3. 前記第一の抵抗素子と前記補助スイッチとの間に、ゲート信号が前記メインスイッチのゲート信号と同期する第三のスイッチを接続してあることを特徴とする請求の範囲第1項記載のスイッチング回路。
- 25
4. 前記第一の抵抗素子の一方の端子を前記メインスイッチと同様に固定電位に接続してあり、前記第一の抵抗素子と前記補助スイッチとの間に、ゲート信号が前記メインスイッチのゲート信号と同期する第三のス

スイッチを接続してあることを特徴とする請求の範囲第1項記載のスイッチング回路。

5 5. 前記第一の抵抗素子の一方の端子が前記メインスイッチの負荷回路と接続されている端子と接続され、第一の抵抗素子の他方の端子は前記補助スイッチのソース電極に接続されていることを特徴とする請求の範囲第1項記載のスイッチング回路。

10 6. 前記第一の抵抗素子は前記メインスイッチと同じセル構造を持ち、固定ゲートバイアスされたMOSFETである、若しくはポリシリコン抵抗であることを特徴とする請求の範囲第1項記載のスイッチング回路。

15 7. 前記第一の抵抗素子は前記メインスイッチと同じセル構造を持ち、固定ゲートバイアスされたMOSFETである、若しくはポリシリコン抵抗であり、この第一の抵抗素子の一方の端子を前記メインスイッチと同様に固定電位に接続してあることを特徴とする請求の範囲第1項記載のスイッチング回路。

20 8. 前記第一の抵抗素子は前記メインスイッチと同じセル構造を持ち、固定ゲートバイアスされたMOSFETである、若しくはポリシリコン抵抗であり、この第一の抵抗素子と前記補助スイッチとの間に、ゲート信号が前記メインスイッチのゲート信号と同期する第三のスイッチを接続してあることを特徴とする請求の範囲第1項記載のスイッチング回路。

25 9. 前記第一の抵抗素子は前記メインスイッチと同じセル構造を持ち、固定ゲートバイアスされたMOSFETである、若しくはポリシリコン

抵抗であり、この第一の抵抗素子の一方の端子を前記メインスイッチと同様に固定電位に接続してあり、前記第一の抵抗素子と前記補助スイッチとの間に、ゲート信号が前記メインスイッチのゲート信号と同期する第三のスイッチを接続してあることを特徴とする請求の範囲第1項記載

5 のスイッチング回路。

10 10. 前記第一の抵抗素子は前記メインスイッチと同じセル構造を持ち、固定ゲートバイアスされたMOSFETである、若しくはポリシリコン抵抗であり、この第一の抵抗素子の一方の端子が前記メインスイッチの負荷回路と接続されている端子と接続され、第一の抵抗素子の他方の端子は前記補助スイッチのソース電極に接続されていることを特徴とする請求の範囲第1項記載のスイッチング回路。

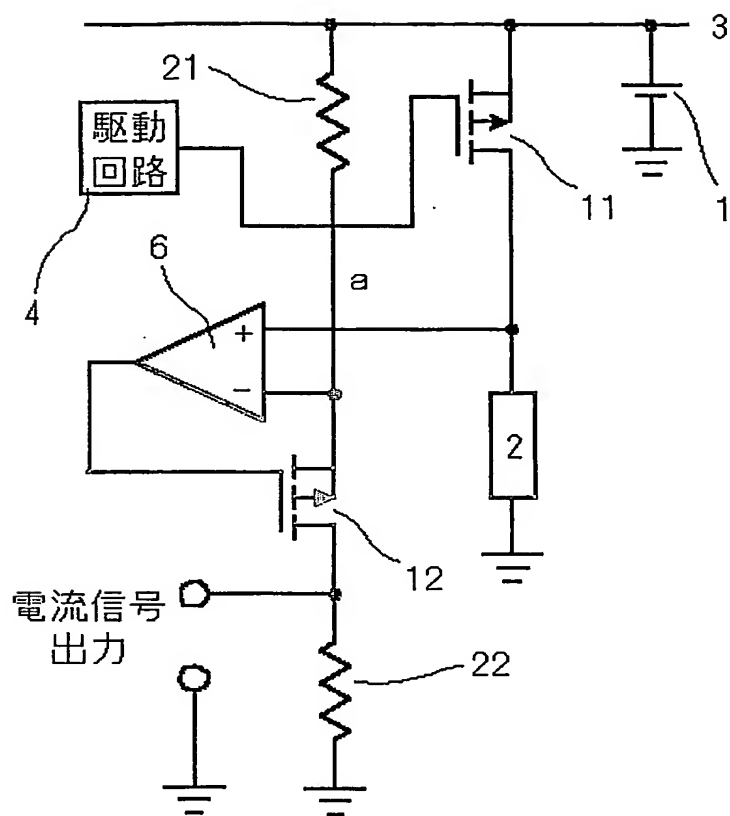


FIG. 1

THIS PAGE BLANK (USPTO)

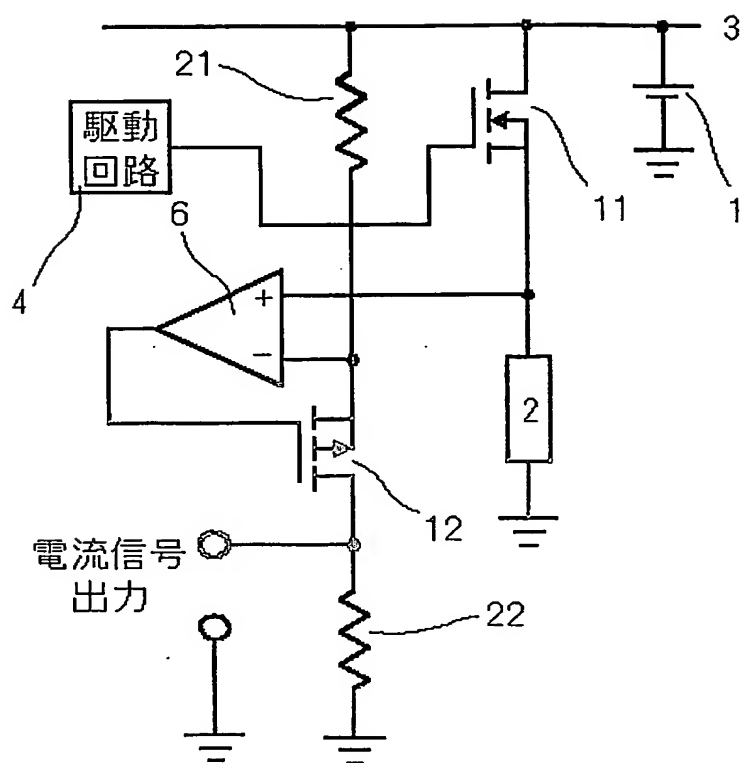


FIG. 2

THIS PAGE BLANK (USPTO)

3/11

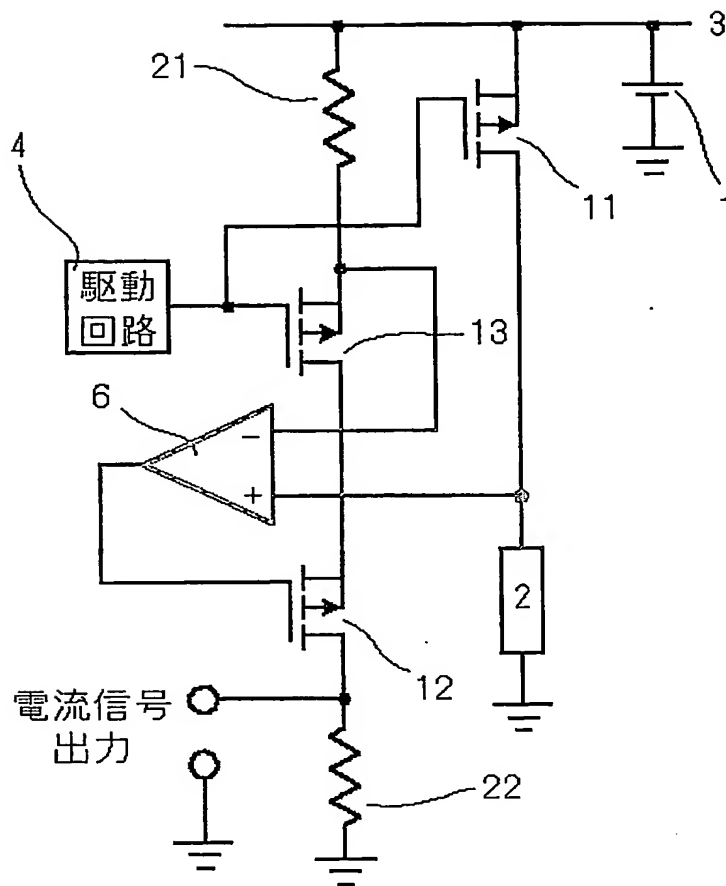


FIG. 3

THIS PAGE BLANK (USPTO)

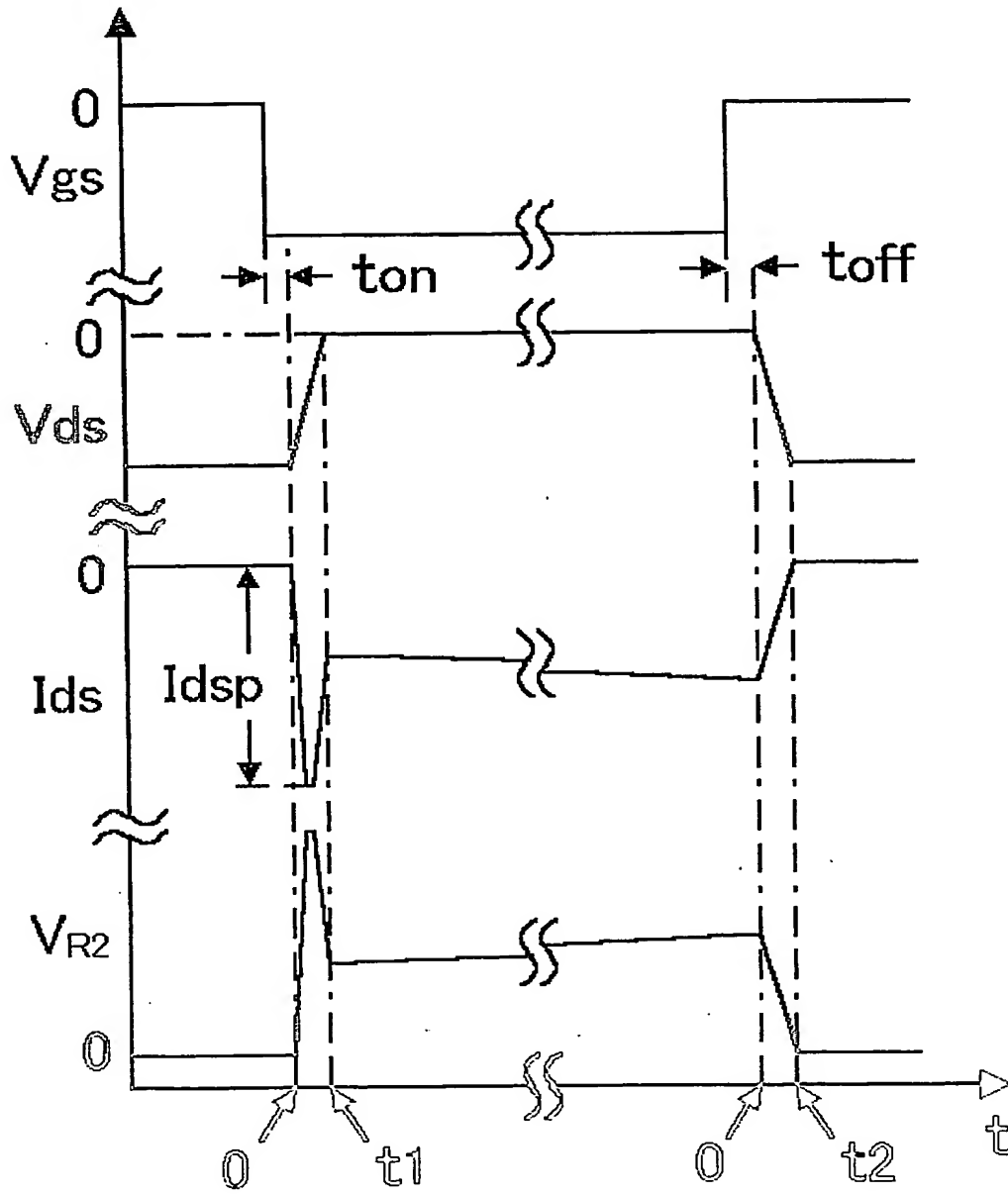


FIG. 4

THIS PAGE BLANK (USPTO)

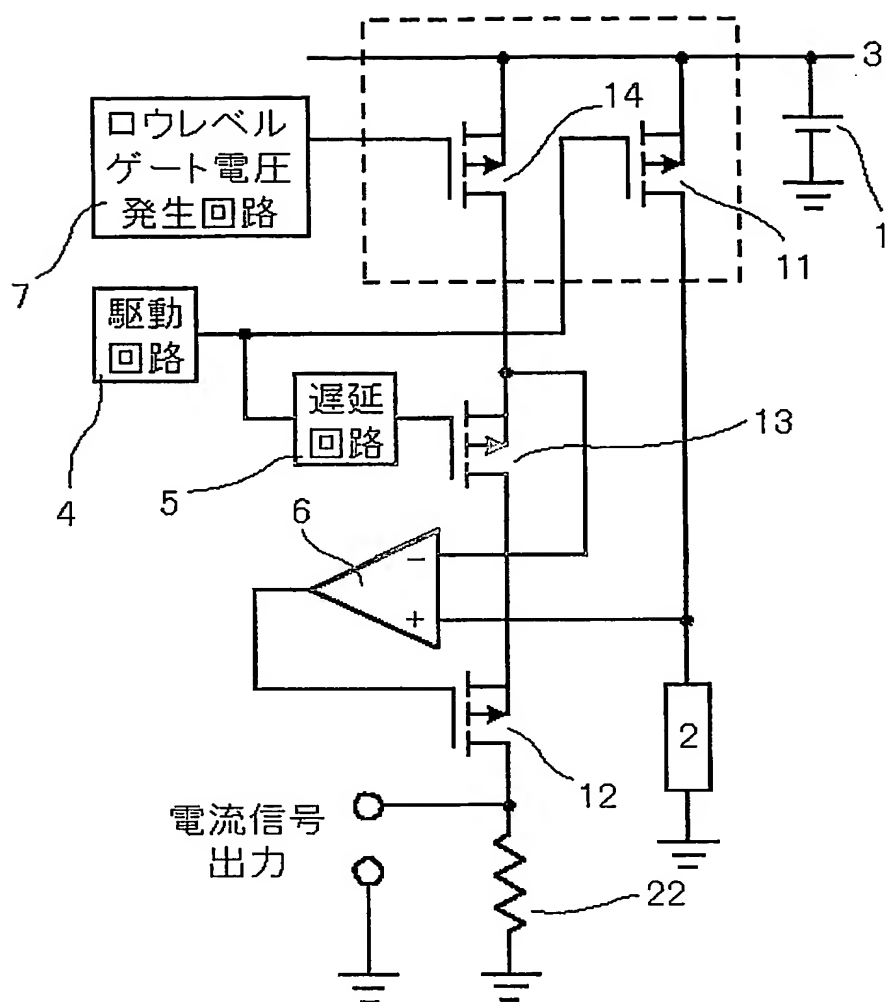


FIG. 5

THIS PAGE BLANK (USPTO)

6/11

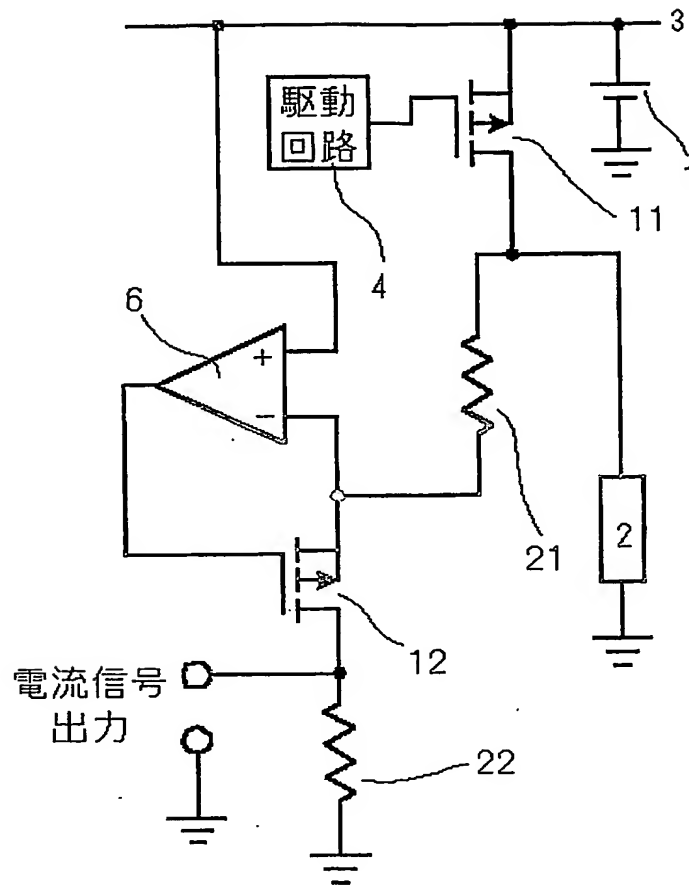


FIG. 6

THIS PAGE BLANK (USPTO)

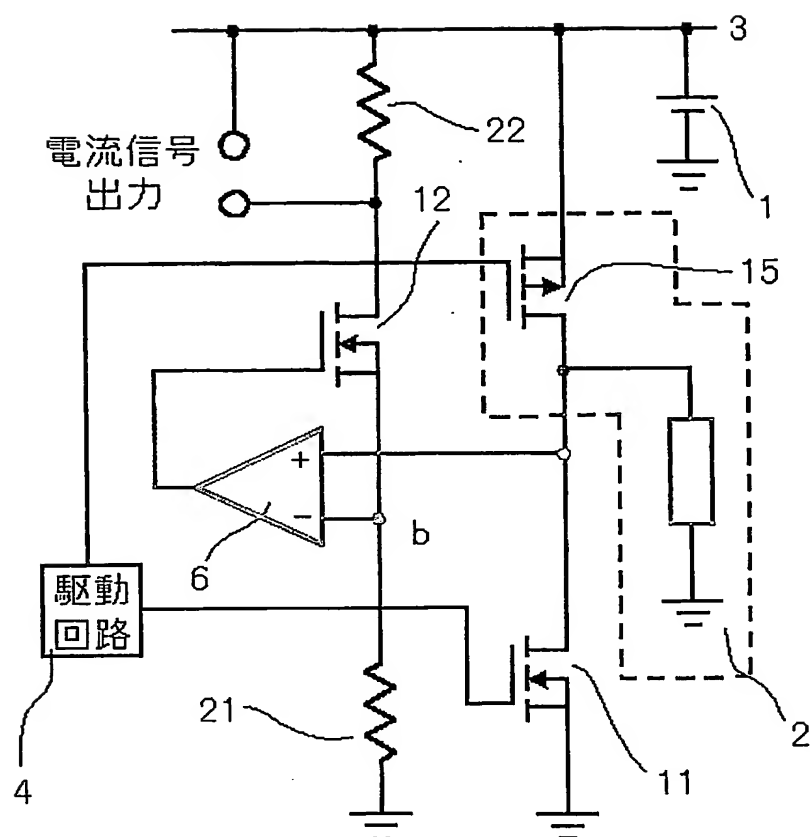


FIG. 7

THIS PAGE BLANK (USPTO)

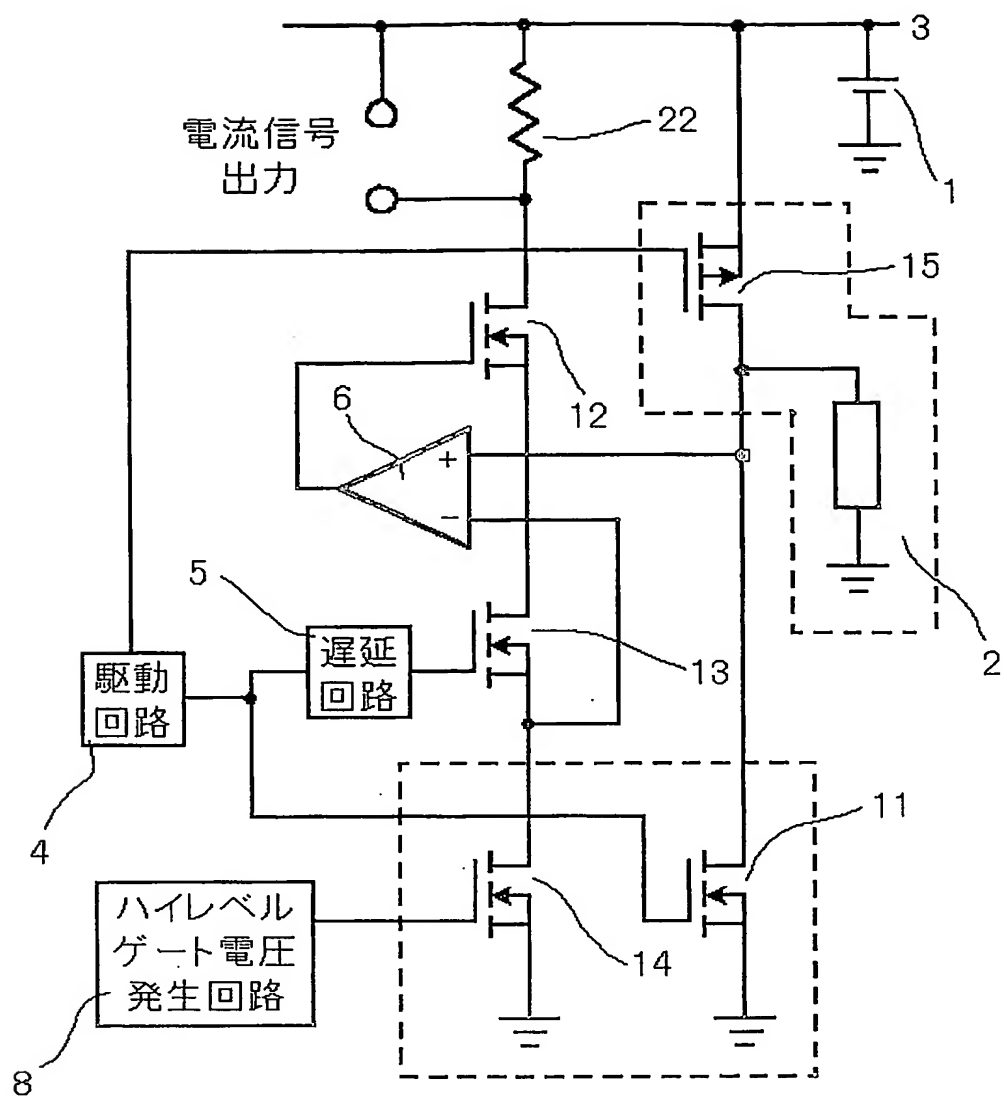


FIG. 8

THIS PAGE BLANK (USPTO)

9/11

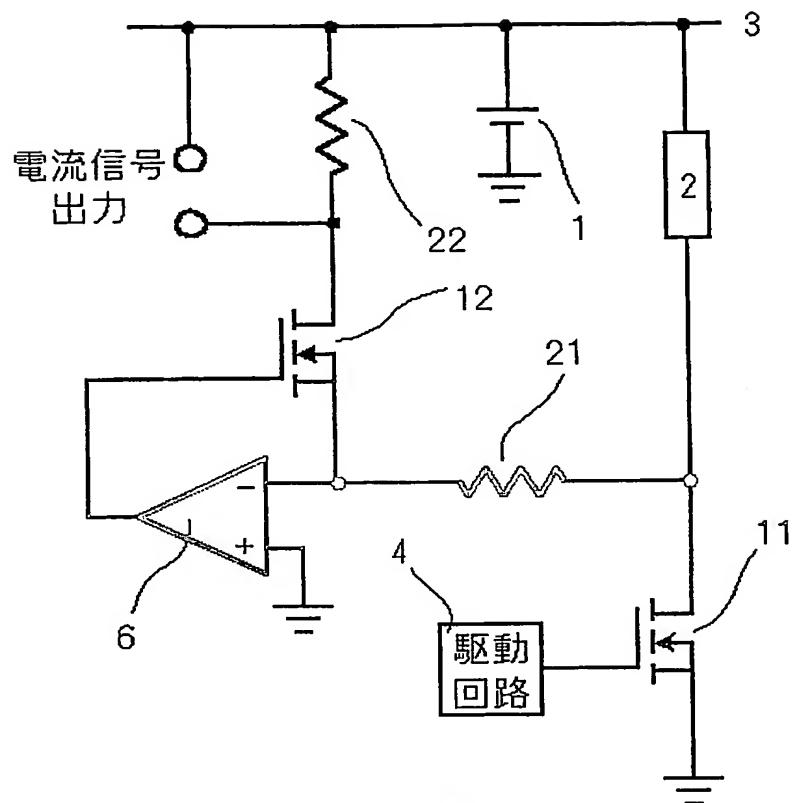


FIG. 9

THIS PAGE BLANK (USPTO)

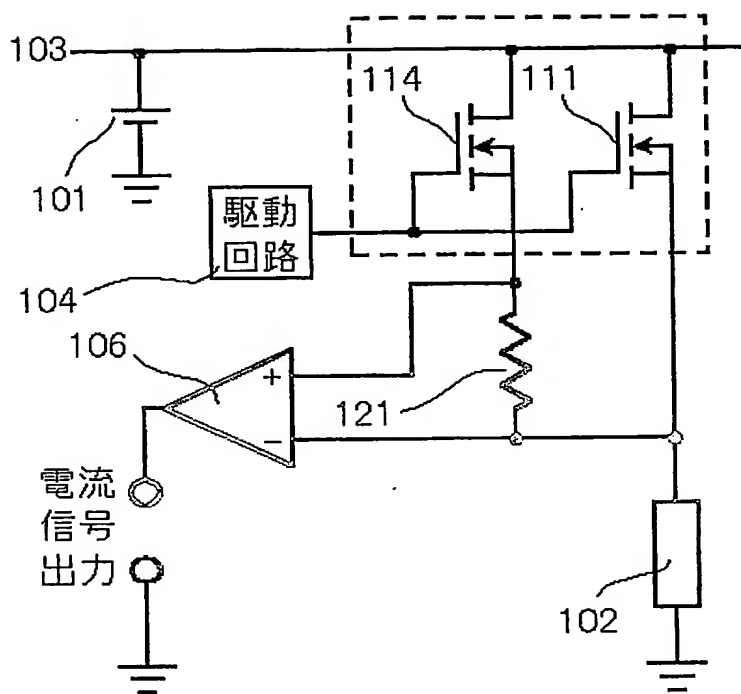


FIG. 10

THIS PAGE BLANK (USPTO)

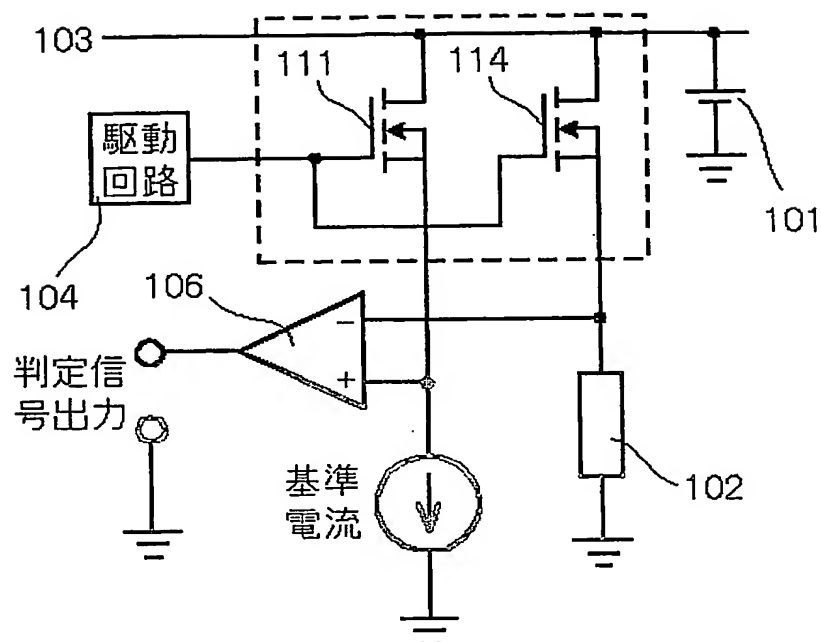


FIG. 11

THIS PAGE BLANK (USPTO)